

THOMSON
DELPHION

RESEARCH **PRODUCTS** **INSIDE DELPHION**

[Log Out](#) [Work File](#) [Saved Searches](#) [My Account](#) | [Products](#)

Search: Quick/Number Boolean Advanced

The Delphion Integrated View

Get Now: PDF | More choices...

Tools: Add to Work File: Create new Work File

View: [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent...](#)

Email this f

>Title: **JP2001203207A2: METHOD OF MANUFACTURING FOR SEMICONDUCTOR INTEGRATED CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT**

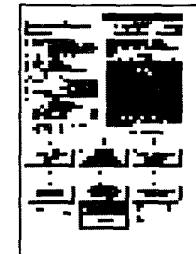
Country: **JP Japan**

Kind: **A2 Document Laid open to Public inspection**

Inventor: **NISHIZAWA ATSUSHI;**

Assignee: **NEC CORP**

[News](#), [Profiles](#), [Stocks](#) and More about this company



Published / Filed: **2001-07-27 / 2000-01-18**

Application Number: **JP20002000009221**

IPC Code: **H01L 21/3213; H01L 21/3065;**

Priority Number: **2000-01-18 JP20002000009221
2000-01-18 JP2000000009221**

Abstract:

PROBLEM TO BE SOLVED: To leave no deposition around a via hole even if an upper interlayer film and an organic layer are simultaneously etched by plasma by the dual damascene method so as to form a recessed groove on the via hole.

SOLUTION: The etching rate of an etching gas for an organic film 118 is made higher than that for an upper interlayer film 102, and the organic film 118 is allowed to be projected over the upper interlayer film 102 so that plasma etching may not progress. Thus, no deposition is left on the side surface of the organic film 118.

COPYRIGHT: (C)2001,JPO

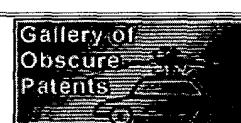
INPADOC

Legal Status: [None](#) Get Now: [Family Legal Status Report](#)

Family: [Show 4 known family members](#)

Other Abstract Info:

None



Nominate

this for the Gallery...

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-203207

(P2001-203207A)

(43)公開日 平成13年7月27日(2001.7.27)

(51)Int.Cl.⁷

H 01 L 21/3213
21/3065

識別記号

F I

H 01 L 21/88
21/302

マーク^{*}(参考)

D 5 F 0 0 4
H 5 F 0 3 3

審査請求 有 請求項の数 7 O L (全 8 頁)

(21)出願番号

特願2000-9221(P2000-9221)

(22)出願日

平成12年1月18日(2000.1.18)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西沢 厚

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100088328

弁理士 金田 暢之 (外2名)

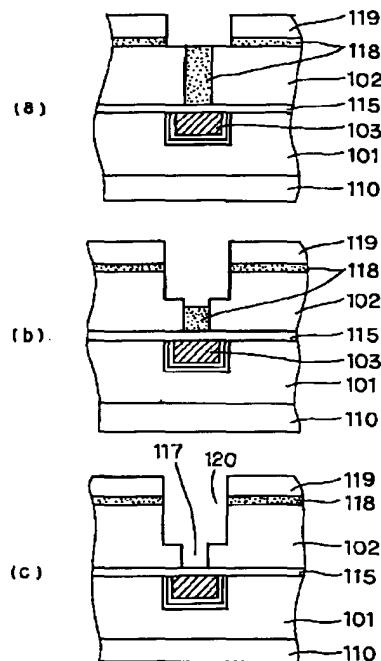
最終頁に続く

(54)【発明の名称】 半導体集積回路の製造方法、半導体集積回路

(57)【要約】

【課題】 ヴァイアホール上に凹溝を形成するためにデュアルダマシン法により上部層間膜と有機膜を同時にプラズマエッチングしても、ヴァイアホールの開口の周囲にデポジションが残存しないようにする。

【解決手段】 エッティングガスによる有機膜118のエッティングレートを上部層間膜102のエッティングレートより高くし、上部層間膜102から有機膜118が突出した状態でプラズマエッティングが進行しないようにし、有機膜118の側面にデポジションが滞積しないようにする。



【特許請求の範囲】

【請求項1】 四部に金属配線が埋め込まれた下部層間膜の表面にストップ膜を介して上部層間膜を積層し、この上部層間膜の表面から前記ストップ膜の表面で前記金属配線に対向する位置までヴァイアホールを形成し、このヴァイアホールと前記上部層間膜の表面とに有機膜を埋め込み、この有機膜の表面に前記ヴァイアホールに開口が連通したレジストマスクを形成し、このレジストマスクの開口からエッティングガスと不活性ガスとの雰囲気中で前記上部層間膜の表面に位置する前記有機膜をプラズマエッティングし、このプラズマエッティングにより露出した前記上部層間膜と前記ヴァイアホール内の前記有機膜とを前記ストップ膜まで到達しない所定深度までエッティングガスと不活性ガスとの雰囲気中で同時にプラズマエッティングし、このプラズマエッティングされた前記凹溝の底部に位置するヴァイアホールに残存している前記有機膜を除去し、この有機膜を除去した前記ヴァイアホールの底部に位置する前記ストップ膜をエッティングして前記金属配線を露出させるようにした半導体集積回路の製造方法であって、

前記レジストマスクの開口から前記有機膜と前記上部層間膜とを同時にプラズマエッティングするとき、前記エッティングガスによる前記有機膜のエッティングレートが前記上部層間膜のエッティングレートより高いことを特徴とする製造方法。

【請求項2】 四部に金属配線が埋め込まれた下部層間膜の表面にストップ膜を介して上部層間膜を積層し、この上部層間膜の表面から前記ストップ膜の表面で前記金属配線に対向する位置までヴァイアホールを形成し、このヴァイアホールと前記上部層間膜の表面とに有機膜を埋め込み、この有機膜の表面に前記ヴァイアホールに開口が連通したレジストマスクを形成し、このレジストマスクの開口からエッティングガスと不活性ガスとの雰囲気中で前記上部層間膜の表面に位置する前記有機膜をプラズマエッティングし、このプラズマエッティングにより露出した前記上部層間膜と前記ヴァイアホール内の前記有機膜とを前記ストップ膜まで到達しない所定深度までエッティングガスと不活性ガスとの雰囲気中で同時にプラズマエッティングし、このプラズマエッティングされた前記凹溝の底部に位置するヴァイアホールに残存している前記有機膜を除去し、この有機膜を除去した前記ヴァイアホールの底部に位置する前記ストップ膜をエッティングして前記金属配線を露出させるようにした半導体集積回路の製造方法であって、

前記エッティングガスがデポジションを略発生しない分子構造からなることを特徴とする製造方法。

【請求項3】 前記エッティングガスは、弗素の原子数が炭素の原子数の三倍以上の分子構造からなる請求項1または2に記載の製造方法。

【請求項4】 前記エッティングガスが“ C_2F_6 ”からな

る請求項3に記載の製造方法。

【請求項5】 前記エッティングガスが“ C_2F_6 ”からなる請求項3に記載の製造方法。

【請求項6】 前記エッティングガスの圧力が“100(mTol 1)”以上である請求項1ないし5の何れか一項に記載の製造方法。

【請求項7】 金属配線が埋め込まれている層間膜の表面から所定深度まで凹溝が形成されており、この凹溝の底部にヴァイアホールが形成されており、このヴァイアホールの底部に前記金属配線が露出している半導体集積回路であって、請求項1ないし6の何れか一項に記載の製造方法により製造されている半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、金属配線まで到達するヴァイアホールと凹溝とを層間膜に同時に形成する半導体集積回路の製造方法と、この製造方法により製造された半導体集積回路と、に関する。

【0002】

【従来の技術】現在、半導体集積回路の高性能化や微細化が要求されており、各種の製造方法や使用材料が研究されている。従来、半導体集積回路の配線にはポリシリコンやアルミニウムが多用されてきたが、半導体集積回路の高性能化や微細化を実現するためには更に低抵抗の材料が必要である。

【0003】そこで、半導体集積回路の微細な配線を銅で形成することが創案されたが、銅は物性的にエッティングによるバーニングが困難であり、耐食性も良好でない。そこで、層間膜の内部と表面とに銅からなる金属配線を形成し、これらの金属配線を銅からなるコンタクトで接続した半導体集積回路を製造する製造方法としてデュアルダマシン法が開発された。

【0004】このデュアルダマシン法の製造方法の一従来例を図2ないし図5を参照して以下に説明する。なお、図2ないし図5は半導体集積回路の製造工程を順番に示す縦断正面図である。

【0005】まず、ここで製造する半導体集積回路100では、図5(c)に示すように、 SiO_2 からなる下部層間膜101と上部層間膜102とが積層されており、下部層間膜101の上部に銅からなる下部金属配線103が埋め込まれている。上部層間膜102の上部にも銅からなる上部金属配線104が埋め込まれており、この上部金属配線104と一体に形成された接続配線105が下部金属配線103に接続されている。

【0006】なお、下部／上部金属配線103、104は、例えば、図面を貫通する前後方向に連通するパターンに形成されているが、接続配線105は、例えば、前後幅が左右幅と同一の形状に形成されており、この前後方向に連通しない接続配線105により前後方向に連通

する下部／上部金属配線103、104が一点で接続されている。

【0007】上述のような構造の半導体集積回路100を製造する一般的な製造方法としては、図2(a)に示すように、シリコン基板110の表面にSiO₂からなる所定膜厚の下部層間膜101を形成し、その表面にフォトレジストを塗布してからバターニングしてレジストマスク(図示せず)を形成する。このレジストマスクの開口孔から下部層間膜101をドライエッチングすることにより、同図(b)に示すように、この下部層間膜101の表面に所定深度まで凹部111を形成する。

【0008】この凹部111が完成したら、O₂雰囲気中のプラズマ処理と有機剥離によりレジストマスクを除去し、同図(c)に示すように、これで露出した下部層間膜101の表面に、タンタル膜112と銅膜113とをスパッタリングで順番に成膜する。

【0009】つぎに、同図(d)に示すように、この銅膜113の表面に銅からなるメッキ膜114を形成して凹部111を充填してから、同図(e)に示すように、このメッキ膜114をCMP(Chemical Mechanical Polishing)により下部層間膜101の表面まで平坦に研磨する。

【0010】つぎに、図3(a)に示すように、この平坦に研磨された表面にプラズマCVD(Chemical Vapor Deposition)法によりSiNからなるストップ膜115を値例えば、膜厚500(Å)まで成長させてから、やはりプラズマCVD法によりSiO₂からなる上部層間膜102を、例えば、膜厚12000(Å)まで成長させる。

【0011】つぎに、下部金属配線103の上方が開口したレジストマスク116を上部層間膜102の表面に形成し、このレジストマスク116の開口部から上部層間膜102をエッチングすることにより、同図(b)に示すように、上部層間膜102の表面からストップ膜115の表面で下部金属配線103に対向する位置までヴァイアホール117を形成する。

【0012】このヴァイアホール117が形成できたらレジストマスク116を除去し、同図(c)に示すように、有機膜としてARC(Anti Reflective Coating)膜118を上部層間膜102の表面に膜厚2000(Å)まで成膜するとともにヴァイアホール117の内部に充填する。

【0013】このARC膜118の表面にヴァイアホール117より幅広に開口したレジストマスク119を、例えば、膜厚8000(Å)に形成し、同図(d)に示すように、“C₄F₈”と“O₂”とを混合したエッチングガスと“Ar”的不活性ガスとの“30(mTorr)”程度の圧力の雰囲気中で、レジストマスク119の開口からARC膜118をプラズマエッチングする。なお、“C₄F₈”と“O₂”と“Ar”的混合比は、例えば、“20/10/200”などとされる。

【0014】このARC膜118のプラズマエッチングが完了したらエッティングガスを“C₄F₈”に変更し、図4(a)に示すように、レジストマスク119の開口から上部層間膜102とARC膜118とを同時にプラズマエッチングし、ストップ膜115まで到達しない深度400(Å)の幅広の凹溝120を形成する。

【0015】このとき、“C₄F₈”のエッティングガスによる上部層間膜102とARC膜118とのプラズマエッティングのエッティングレートは約“4000(Å)/min”なので、エッティング時間を一分に規制することにより凹溝120の深度を4000(Å)に調節する。

【0016】つぎに、“O₂”でのプラズマ処理とアミン系の有機剥離液による剥離処理により、同図(b)に示すように、レジストマスク119とARC膜118とを除去することにより、ヴァイアホール117の底部にストップ膜115を露出させる。なお、銅からなる下部金属配線103は耐食性が低いが、上述のようにレジストマスク119とARC膜118とを除去する時点ではストップ膜115で雰囲気から遮断されているので腐食することはない。

【0017】同図(c)に示すように、“CHF₃”と“O₂”とを混合したエッティングガスと“Ar”的不活性ガスとの雰囲気中で上部層間膜102をマスクとしてヴァイアホール117の底部に位置するストップ膜115をプラズマエッティングし、ヴァイアホール117の底部に下部金属配線103を露出させる。なお、“CHF₃”と“O₂”と“Ar”的混合比も、例えば、“20/10/200”などとされる。

【0018】この状態で上部層間膜102と下部金属配線103との露出している表面をアミン系の有機剥離液により清浄化してから、図5(a)に示すように、この清浄化された表面に窒化タンタル膜121と銅膜122とをスパッタリングにより順番に成膜する。

【0019】これで上部層間膜102の表面から凹溝120とヴァイアホール117との内面まで窒化タンタル膜121と銅膜122とが成膜されるので、同図(b)に示すように、この銅膜122の表面に銅からなるメッキ膜123を形成して凹溝120とヴァイアホール117とを充填する。

【0020】そして、このメッキ膜123をCMPにより上部層間膜102の表面まで平坦に研磨することにより、同図(c)に示すように、凹溝120の内部に位置する上部金属配線104とヴァイアホール117の内部に位置する接続配線105とが形成されるので、これで半導体集積回路100が完成することになる。

【0021】なお、上述のように幅狭のヴァイアホール117と幅広の凹溝120とを同時に形成する手法は、一般的にデュアルダマシン法と呼称されている。また、上述の層間膜101、102としては、SiO₂の他に低誘電率膜も利用することができ、この低誘電率膜として

は、水素含有シリコン酸化膜や有機含有シリコン酸化膜などを利用することができる。

【0022】また、ARC膜118としては、ポリイミドやノボラックからなるベース樹脂にポリビニルフェノールやポリメチルメタクリレートを添加したものなどを利用することができ、レジストとしては、ノボラック樹脂やポリイミド樹脂などを利用することができます。

【0023】

【発明が解決しようとする課題】上述のような方法で半導体集積回路100を製造することにより、幅狭のヴァイアホール117上に幅広の凹溝120を形成できるので、下部層間膜101に埋め込まれた銅からなる下部金属配線103と上部層間膜102に埋め込まれた銅からなる上部金属配線104とがヴァイアホール117内の接続配線105で接続された構造を形成することができる。

【0024】しかし、図4(a)に示すように、“C₄F₈”のエッティングガスで上部層間膜102とARC膜118とを同時にプラズマエッティングするとき、実際にはARC膜118のエッティングレートが上部層間膜102より低いため、プラズマエッティングは上部層間膜102からARC膜118が突出した状態で進行することになる。

【0025】また、“C₄F₈”のエッティングガスは、プラズマ中で分解されたものや反応生成物からフロロカーボン系のデポジションを発生しやすいので、上部層間膜102からARC膜118が突出した状態でプラズマエッティングが進行すると、図6に示すように、上部層間膜102から突出したARC膜118の側面にデポジション124が滞積しやすい。

【0026】このようにデポジション124が滞積すると、これがマスクとなって下方のプラズマエッティングが阻害される。このため、上部層間膜102とARC膜118との同時エッティングが完了してから、ヴァイアホール117の内部のARC膜118を除去すると、図7に示すように、ヴァイアホール117の開口の周囲にデポジション124が残存した不良が発生する。

【0027】このようにヴァイアホール117の開口の周囲にデポジション124が残存すると、上部金属配線104を良好な形状に形成できないで断線などの不良の原因となる。

【0028】本発明は上述のような課題に鑑みてなされたものであり、ヴァイアホール上に凹溝を形成するためにデュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッティングしても、ヴァイアホールの開口の周囲にデポジションが残存しない半導体集積回路の製造方法を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明の一の半導体集積回路の製造方法では、レジストマスクの開口から有機膜

と上部層間膜とを同時にプラズマエッティングするとき、エッティングガスによる有機膜のエッティングレートが上部層間膜のエッティングレートより高い。従って、上部層間膜から有機膜が突出した状態でプラズマエッティングが進行することができないので、デポジションが発生して有機膜の側面に滞積することがない。

【0030】なお、上述のようなエッティングレートの関係では有機膜の部分が上部層間膜に凹部となる状態でプラズマエッティングが進行するが、上部層間膜の側面には物性的にデポジションは滞積しにくい。

【0031】本発明の他の半導体集積回路の製造方法では、エッティングガスがデポジションを略発生しない分子構造からなる。従って、デュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッティングするときに段差などの部分にデポジションが滞積するがない。

【0032】本発明の他の形態としては、エッティングガスは、弗素の原子数が炭素の原子数の三倍以上の分子構造からなることも可能である。この場合、エッティングガスの分子構造に弗素が多数なので、物性的に有機膜のエッティングレートが上部層間膜のエッティングレートより高くなり、エッティングガスの分子構造に炭素が少数なので、デポジションが略発生しない。なお、このようなエッティングガスは、例えば、“CF₄”や“C₂F₆”からなることが可能である。

【0033】本発明の他の形態としては、エッティングガスの圧力が“100(mTorr)”以上であることも可能であり、“300~400(mTorr)”であることも可能である。この場合、エッティングガスの圧力が高圧であるとイオン同士が衝突する確率が増加するため、各種の方向のイオンが発生してプラズマエッティングの方向性が等方的となり、微少に滞積するデポジションが逐次除去される。

【0034】

【発明の実施の形態】本発明の実施の一形態を図1を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。なお、同図は本実施の形態の半導体集積回路の製造方法の要部の工程を示す縦断正面図である。

【0035】本実施の形態の半導体集積回路100も、完成した構造は一従来例の場合と同一である。この半導体集積回路100を製造する本実施の形態の方法でも、一従来例の製造方法と同様に、下部金属配線103が埋め込まれた下部層間膜101の表面にストップ膜115を介して上部層間膜102を積層し、この上部層間膜102の表面からストップ膜115の表面で下部金属配線103に対向する位置までヴァイアホール117を形成する。

【0036】このヴァイアホール117と上部層間膜102の表面とにARC膜118を埋め込み、このARC

膜118の表面にヴァイアホール117より幅広に開口したレジストマスク119を形成し、同図(a)に示すように、このレジストマスク119の開口からARC膜118をプラズマエッティングする。

【0037】このARC膜118のプラズマエッティングが完了したらエッティングガスを変更し、同図(b)に示すように、レジストマスク119の開口からストップ膜115まで到達しない所定深度まで上部層間膜102とARC膜118とを同時にプラズマエッティングして幅広の凹溝120を形成する。

【0038】このプラズマエッティングされた幅広の凹溝120の底部に位置する幅狭のヴァイアホール117に残存しているARC膜118を除去し、同図(c)に示すように、このARC膜118を除去したヴァイアホール117の底部に位置するストップ膜115をエッティングして下部金属配線103を露出させる。

【0039】ただし、本実施の形態の製造方法では、一従来例の製造方法とは相違して、上述のようにデュアルダマシン法により上部層間膜102とARC膜118とを同時にプラズマエッティングするとき、エッティングガスとして“ CF_4 ”を使用する。

【0040】より詳細には、同図(a)に示すように、“ CF_4 ”と“ O_2 ”とを混合したエッティングガスと“Ar”の不活性ガスとの圧力“300～400(mTol1)”の雰囲気中で、レジストマスク119の開口からARC膜118をプラズマエッティングし、このプラズマエッティングが完了したらエッティングガスを“ CF_4 ”に変更し、同図(b)に示すように、レジストマスク119の開口から上部層間膜102とARC膜118とを同時にプラズマエッティングする。

【0041】なお、ARC膜118をプラズマエッティングするときの“ CF_4 ”と“ O_2 ”と“Ar”との混合比は、例えば、“100/10/500”などとされ、上部層間膜102とARC膜118とを同時にプラズマエッティングするときの“ CF_4 ”と“Ar”との混合比は、例えば、“100/500”などとされる。

【0042】本実施の形態の製造方法では、上述のようにデュアルダマシン法によりレジストマスク119の開口からARC膜118と上部層間膜102とを同時にプラズマエッティングするとき、従来とは相違してエッティングガスとして“ CF_4 ”を使用する。

【0043】この“ CF_4 ”のエッティングガスによるプラズマエッティングでは、物性的にARC膜118のエッティングレートが上部層間膜102のエッティングレートよりも高いので、同図(b)に示すように、上部層間膜102からARC膜118が突出した状態でプラズマエッティングが進行することなく、物性的にデポジションが滞積しやすいARC膜118の側面が形成されない。

【0044】しかも、“ CF_4 ”からなるエッティングガスは、分子構造の弗素の原子数が炭素の原子数の三倍以

上であり、炭素が少数で弗素が多数なので、物性的にフロロカーボン系のデポジションを発生しにくい。さらに、本実施の形態の製造方法では、エッティングガスの圧力を“300～400(mTol1)”もの高圧とするので分子のブラウン運動が活発となってプラズマエッティングの方向性が等方的となり、上方に順次滞積されるデポジションが各種方向から逐次除去されることになる。

【0045】このため、本実施の形態の製造方法では、デュアルダマシン法によりレジストマスク119の開口からARC膜118と上部層間膜102とを同時にプラズマエッティングするとき、同図(c)に示すように、ヴァイアホール117の開口の周囲にフロロカーボン系のデポジションが滞積する不良が発生しない。

【0046】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではエッティングガスが“ CF_4 ”からなることを例示したが、このエッティングガスが“ C_2F_6 ”からなることも可能である。また、エッティングガスの圧力が“300～400(mTol1)”であることを例示したが、これは“100(mTol1)”以上であれば良い。

【0047】また、上記形態では幅広の凹溝120の底部に幅狭のヴァイアホール117が位置する構造で、このヴァイアホール117の開口の周囲に発生するデポジションを防止することを例示したが、前述のように凹溝120は前後方向に連通する形状であり、ヴァイアホール117は前後方向には連通しない形状である。

【0048】このため、凹溝120とヴァイアホール117とが同幅の場合や凹溝120よりヴァイアホール117が幅広の場合でも、ヴァイアホール117の開口の前後にはデポジションが発生する段差が存在するので、本発明を適用することが可能である。

【0049】

【発明の効果】本発明の一の半導体集積回路の製造方法では、レジストマスクの開口から有機膜と上部層間膜とを同時にプラズマエッティングするとき、エッティングガスによる有機膜のエッティングレートが上部層間膜のエッティングレートより高いことにより、上部層間膜から有機膜が突出した状態でプラズマエッティングが進行することができないので、デポジションが発生して有機膜の側面に滞積することなく、ヴァイアホールの開口の周囲にデポジションが残存する不良の発生を防止することができる。

【0050】本発明の他の半導体集積回路の製造方法では、エッティングガスがデポジションを略発生しない分子構造からなることにより、デュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッティングするときに段差などの部分にデポジションが滞積することがないで、ヴァイアホールの開口の周囲にデポジションが残存する不良の発生を防止することができる。

【0051】また、本発明の他の形態としては、エッティングガスは、弗素の原子数が炭素の原子数の三倍以上の

分子構造からなることにより、エッチングガスの分子構造に弗素が多數なので、物性的に有機膜のエッティングレートを上部層間膜のエッティングレートより高くすることができる、エッティングガスの分子構造に炭素が少數なので、デポジションの発生を防止することができる。

【0052】また、エッティングガスの圧力が高圧であることにより、プラズマエッティングの方向性を等方的とすることができるので、微少に滞積するデポジションが逐次除去されることとなり、デポジションの滞積を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の半導体集積回路の製造方法の要部の工程を示す縦断正面図である。

【図2】一従来例の製造方法の第一から第五の工程を示す縦断正面図である。

【図3】第六から第九の工程を示す縦断正面図である。

【図4】第十から第十一の工程を示す縦断正面図である。

【図5】第十二から第十四の工程を示す縦断正面図である。

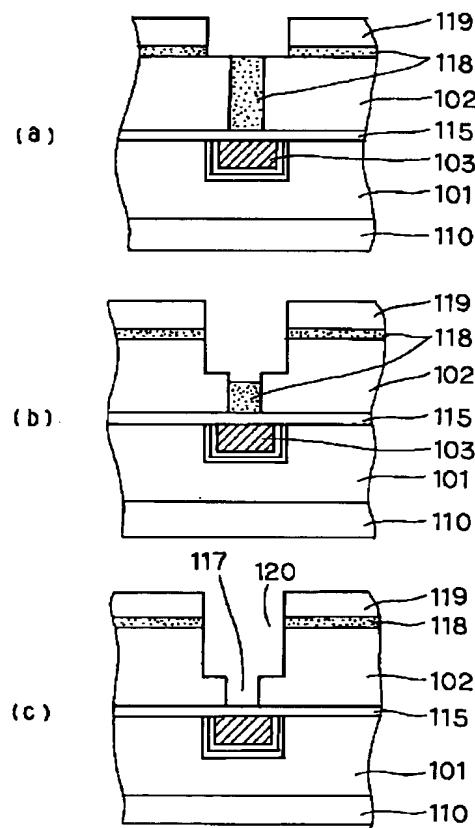
【図6】デポジションが発生した状態を示す縦断正面図である。

【図7】デポジションが残存した状態を示す縦断正面図である。

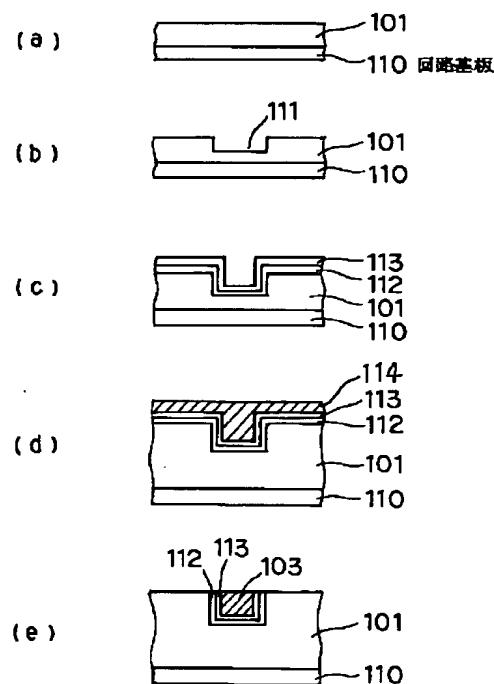
【符号の説明】

100	半導体集積回路
111	凹部
103	下部金属配線
101	下部層間膜
115	トップ膜
102	上部層間膜
117	ヴァイアホール
118	有機膜であるA.R.C膜
119	レジストマスク
120	凹溝

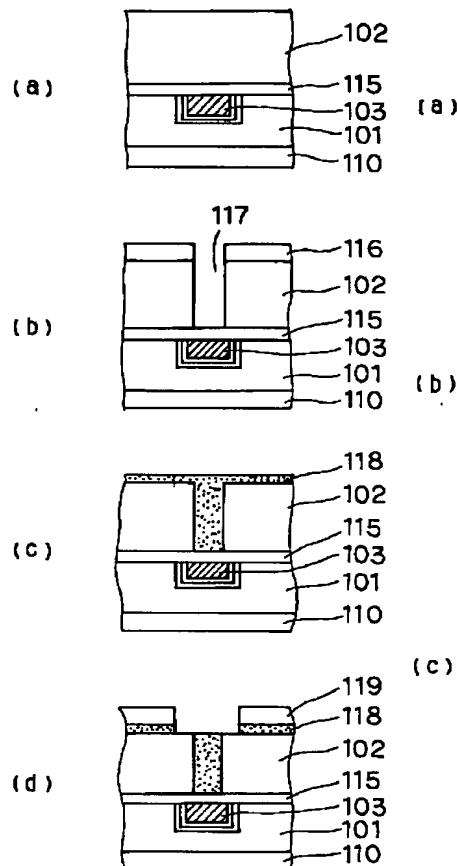
【図1】



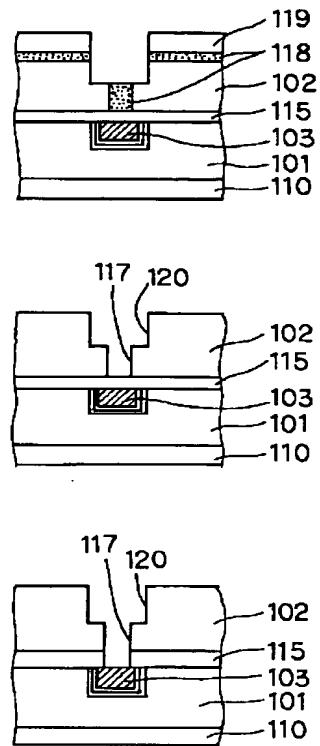
【図2】



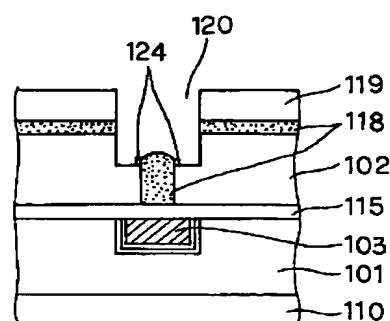
【図3】



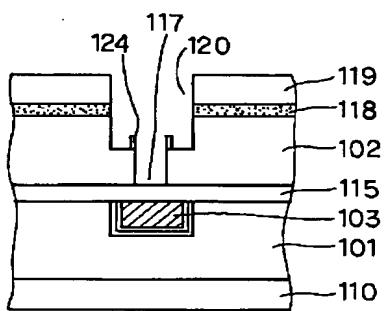
【図4】



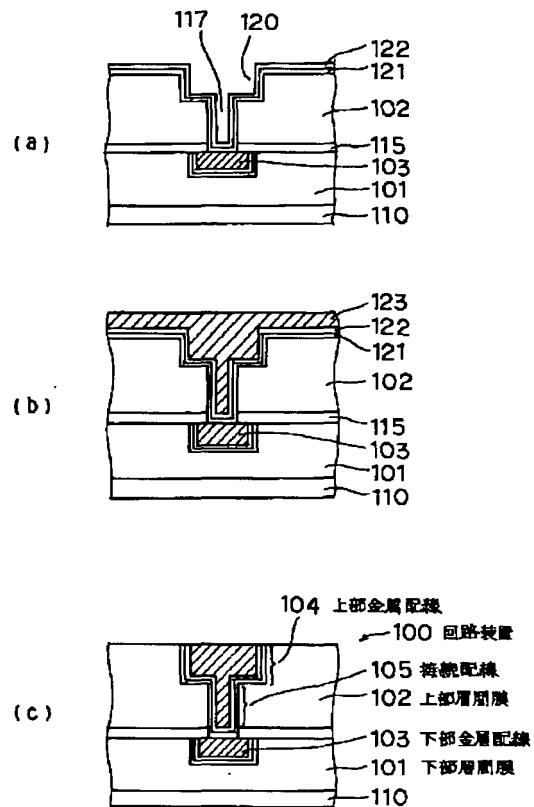
【図6】



【図7】



【図5】



フロントページの続き

F ターム(参考) 5F004 AA16 CA02 DA00 DA01 DA02
DA23 DA26 DB03 DB23 DB26
DB28 EB01 EB03 FA08
5F033 HH11 HH32 KK11 KK21 MM02
PP15 PP27 PP28 QQ04 QQ09
QQ12 QQ15 QQ25 QQ35 QQ37
QQ48 RR04 RR06 SS15 WW05
XX21